

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

Aktenzeichen: 101 07 833.1
Anmeldetag: 16. Februar 2001
Anmelder/Inhaber: ROBERT BOSCH GMBH,
Stuttgart/DE
Bezeichnung: Speicheranordnung und Verfahren zum Auslesen
einer Speicheranordnung
IPC: G 11 G, G 06 F

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 14. Februar 2002
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Brand

16.02.01 Sy/Bc

5

ROBERT BOSCH GMBH, 70442 Stuttgart

10

Speicheranordnung und Verfahren zum Auslesen einer
Speicheranordnung

Stand der Technik

15

Die Erfindung betrifft eine Speicheranordnung mit einem Speicher und einem diesem Speicher zugeordneten Pufferspeicher sowie ein Verfahren zum Auslesen einer Speicheranordnung gemäß den unabhängigen Ansprüchen.

20

Moderne Burst-Flash-Speicher, welche sich sowohl auf dem Prozessor als auch extern von diesem befinden können, arbeiten nach dem Prinzip, dass beim Anlegen einer Adresse die Inhalte von allen Speicherzellen, die an der aktivierten Wortleitung angeschlossen sind, auf die Bitleitungen gelegt werden. Die Anzahl der Bitleitungen ist wesentlich größer, als für einen Befehl benötigt werden würde. Bei den auf das Anlegen der Adresse folgenden Takten können die Daten aus einem Zwischenpuffer, ohne dass die Adresse erneut angelegt werden muss, ausgelesen werden. Die Leistungsfähigkeit bei diesem Verfahren wird dadurch eingeschränkt, dass Datenzugriffe zwischen den Befehlszugriffen den Pufferinhalt verändern bzw. zerstören und damit erneut die lange Phase, das Anlegen der Adressen und Lesen der Informationen auf die Bitleitungen, notwendig wird.

25

30

35

Es zeigt sich somit, dass der Stand der Technik nicht in jeder Hinsicht optimale Ergebnisse zu liefern vermag.

5 Zur Optimierung der Situation bezogen auf die oben genannte Leistungseinschränkung soll die nachfolgende Erfindung dienen.

Vorteile der Erfindung

10 Die Erfindung zeigt eine Speicheranordnung mit einem programmierbaren Speicher und einem diesem Speicher zugeordneten ersten Pufferspeicher, in welchen bei Befehlszugriff wenigstens ein auf den zugegriffenen Befehl folgender Befehl eingeschrieben wird, wobei vorteilhafter
15 Weise ein zweiter Pufferspeicher vorgesehen ist, in welchen bei einem Datenzugriff wenigstens ein auf das zugegriffene Datum folgendes Datum eingeschrieben wird.

20 Ebenso ist ein Verfahren zum Auslesen einer Speicheranordnung gezeigt, wobei Befehlszugriffe und Datenzugriffe, insbesondere im Rahmen eines Programmablaufes, durchgeführt werden, wobei vorteilhafter Weise bei einem Befehlszugriff erkannt wird, dass ein Befehlszugriff vorliegt und bei einem Datenzugriff erkannt
25 wird, dass ein Datenzugriff vorliegt und davon ausgehend ein auf den zugegriffenen Befehl folgender Befehl in einen ersten Pufferspeicher und ein auf das zugegriffene Datum folgendes Datum in einen zweiten Pufferspeicher eingeschrieben wird.

30 Es wird somit zweckmäßiger Weise ein separater Pufferspeicher für Datenzugriffe vorgeschlagen, der bei Datenzugriffen gefüllt wird. Damit wird der Inhalt des Puffers für Befehlszugriffe bei Datenzugriffen im
35 Programmablauf nicht überschrieben bzw. zerstört. Es muss

somit vorteilhafter Weise der insbesondere im Speicher vorhandene Puffer nicht mehr nach jedem Datenzugriff neu geladen werden.

5 Daneben bietet diese Lösung einen sehr geringen Hardwareaufwand, da nicht mehrere Adressbereiche in verschiedenen Speichern liegen müssen, sondern nur ein Puffer und damit der Inhalt des Zwischenspeichers für Befehle nicht verändert bzw. zerstört wird. Insbesondere bei
10 Burst-Flash-Speichern sind damit große Vorteile erzielbar.

Vorteilhafter Weise wird je nachdem, ob ein Befehlszugriff oder ein Datenzugriff erfolgt, zwischen dem ersten und dem zweiten Pufferspeicher umgeschaltet. Diese Umschaltung kann
15 vorteilhafter Weise einerseits durch einen Adressvergleicher durchgeführt werden, welcher erkennt, ob auf Befehle oder Daten zugegriffen wird, oder es kann die Information, ob auf Daten oder Befehle zugegriffen wird, durch die entsprechenden Signale des Prozessors selbst erkannt werden,
20 wobei zweckmäßiger Weise die Signale zur Umschaltung zwischen den beiden Pufferspeichern verwendet werden können.

In einer weiteren vorteilhaften Ausführungsform wird der zweite Pufferspeicher nur, also ausschließlich bei
25 Datenzugriffen, geladen, um ein Überschreiben bzw. Zerstören des Inhalts des ersten Pufferspeichers zu vermeiden.

Weitere Vorteile und vorteilhafte Ausgestaltungen ergeben sich aus der nachfolgenden Beschreibung und den Ansprüchen.

30 Zeichnung

Die Erfindung wird im Weiteren anhand der in der Zeichnung dargestellten Figuren näher erläutert.

35

Figur 1 zeigt dazu eine Anordnung mit einem Prozessor und einer Speicheranordnung, welche über ein Bussystem verkoppelt sind.

5 Figur 2 zeigt eine erfindungsgemäße Speicheranordnung mit den entsprechenden Pufferspeichern.

10 In Figur 3 ist beispielhaft ein Flussdiagramm dargestellt, welches das Einschreiben und Auslesen der Daten, bezogen auf die beiden Pufferspeicher, beschreibt.

Beschreibung der Ausführungsbeispiele

15 Figur 1 zeigt eine Anordnung bzw. eine Vorrichtung, einsetzbar für Steuerungsverfahren, beispielsweise im Automobilbereich wie Motorsteuerung, Getriebesteuerung, Bremsensteuerung, Lenkungssteuerung usw. Die Erfindung ist aber nicht auf die Anwendung im Automobilbereich beschränkt,
20 sondern gilt allgemein im Rahmen der nachfolgend beschriebenen Anordnung. Sensorik und Aktuatorik sowie weitere nicht erfindungswesentliche Bestandteile sind nicht dargestellt.

25 In Figur 1 ist mit 102 ein Prozessor beschrieben, der oben angesprochene Steueraufgaben übernimmt. Dieser ist über eine Busschnittstelle 104 und einen Bus 101 mit einer Speicheranordnung 100 und deren Busschnittstelle 103 verbunden. Im Bus 101 ist die Kommunikation des Prozessors
30 102 mit der Speicheranordnung 100 symbolisch zusammengefasst, umfasst somit den notwendigen Austausch an Adressen, Daten und Instruktionen bzw. Befehlen. Die Speicheranordnung 100 selbst kann dabei ebenso flüchtige wie nicht flüchtige Speicher bzw. Pufferspeicher umfassen.

Die erfindungsgemäße Speicheranordnung 100 bzw. der erfindungswesentliche Teil 100a daraus ist im Detail in Figur 2 nachfolgend beschrieben. Darin ist mit 200 eine Speichermatrix dargestellt, wobei durch den Ausschnitt I die zugrundeliegende Struktur der Speichermatrix 200, die Struktur des Netzwerks an Wort- WL und Bitleitungen BL mit zwischenliegenden Schalt- bzw. Transistorelementen S ausschnittsweise dargestellt ist.

Im Ausschnitt in I sind drei Wortleitungen WL0, WL1 und WL2 sowie zwei Bitleitungen BL0 und BL1 mit zwischenliegenden Schaltelementen S beispielhaft dargestellt. Im Bereich WLA kann die Wortleitungsadresse Verbindung finden und im Bereich BLA die entsprechende Bitleitungsadresse. Beim Zugriff werden somit Adressen angelegt und alle Bitleitungen BL an einer Wortleitung WL geladen (I).

Mit P1 und P2 sind die beiden Pufferspeicher dargestellt, die bei Befehlszugriff oder Datenzugriff Verwendung finden. Dabei können die Puffer entweder im Speicher selbst integriert oder lediglich mit diesem verbunden sein. Ebenso kann auch nur ein Pufferspeicher im Speicher selbst integriert, der weitere aber nur mit dem Speicher verbunden sein.

In den Pufferspeichern sind mit B201, B202 bis B20K K-Bits dargestellt, von denen jedes einen entsprechenden Anschluss (K1, K2) zur entsprechenden Stelle der Bitleitungsadresse BLA aufweist. Mit einer Schaltanordnung 201 kann dann zwischen diesen Anschlüssen bzw. Kontakten K1 und K2 für das jeweilige Bit B des jeweiligen Pufferspeichers P umgeschaltet werden, so dass die auszulesenden Informationen entweder in den Puffer P1 oder in den Puffer P2 eingelesen werden. Dabei ist im Pufferspeicher P1 Platz für Instruktionen, also Befehle I0 bis IN vorgesehen, wobei N (N

ε N0) abhängig von der Struktur der Speichermatrix vorgebar ist und in Pufferspeicher P2 sind entsprechend Plätze für Daten D0 bis DN vorgesehen.

5 Abhängig vom Adresskomparator bzw. Adressvergleicher AC ,der
Daten- oder Programmadressen erkennt bzw. unterscheidet,
werden die Informationen der Bitleitungen in den Puffer P1
bei Programmcode, also Befehl bzw. Befehlszugriff oder
Puffer P2 bei Datenzugriffen abgelegt. Die Definition dieses
10 Bereiches, also des oder der Puffer, kann über Register, die
vom Prozessor geschrieben werden können, die die obere und
untere Grenze des Datenbereichs beschreiben, erfolgen. Eine
andere Möglichkeit ist die Nutzung eines Signals vom
Prozessor, da bei Prozessoren Statuspins vorhanden sind, die
15 anzeigen, ob ein Befehls- oder ein Datenzugriff erfolgt.

Das jeweilige Auslesen der Informationen aus Puffer P1 bzw.
Puffer P2 kann dann, wie aus dem im Stand der Technik
angegebenen Zwischenspeicher (Burst-Buffer), für
20 Instruktionen bzw. Befehle entsprechend, insbesondere wie bei
einem Burst-Flash-Speicher erfolgen.

Die Erfindung soll im Weiteren anhand eines
Programmbeispiels nochmals erläutert werden.

25

```
100 1 add  R1, R2, R3
104 2 sub  R3, R4, R5
106 3 ld   R4, 0x0C (R1) -extern
100 4 add  R6, R7, R8
```

30

Bei Befehl 1 wird erkannt, dass es kein Datenzugriff ist.
Daraus folgend wird die Wortleitung aktiviert unter der
Annahme, dass die Adresse sich nicht im Puffer befindet. Des
Weiteren wandern die Informationen aus der

Speichermatrix 200 in den Puffer P1 und werden dann vom Puffer P1 zum Rechner bzw. Prozessor übertragen.

5 Bei Befehl 2 wird erkannt, dass sich dieser schon im Puffer P1 befindet (Burst-Funktion), und damit kann dieser gleich ausgegeben werden, ohne dass die Wortleitung neu aktiviert werden muss. Der Burst-Modus bzw. die Burst-Funktion bedeutet in diesem Fall, dass bei Adresszugriff auf einen Befehl bzw. ein Datum nicht nur der durch die Adresse
10 dargestellte Befehl bzw. Datum, sondern auch nachfolgende Befehle bzw. Daten in den Puffer geladen werden, wobei die Anzahl der nachgeladenen Befehle von Vorgaben des Burst-Modus bzw. der Größe der Speichermatrix oder des Pufferspeichers P1 oder P2 abhängt.

15 Bei Befehl 3 wird wie bei Befehl 2 und Befehl 1, wenn dieser im Burst-Umfang enthalten ist, ebenfalls erkannt, dass sich dieser schon im Puffer P1 befindet und kann somit ebenfalls gleich ausgegeben werden, ohne die Wortleitung neu zu
20 aktivieren, wobei Befehl 3 bei der Ausführung das Lesen eines Wertes vom Speicher, in dem auch die Befehle liegen, bewirkt. Der Speicher erkennt nun den Datenzugriff, beispielsweise über den beschriebenen Adressbereichs-komparator bzw. -vergleicher AC und liest die Daten in den
25 zweiten Puffer P2 ein. Dabei werden die Daten dann aus diesem zweiten Puffer P2 ausgelesen.

Befehl 4 kann nun erfindungsgemäß wie die Befehle 1, 2 und 3 aus dem Puffer P1 abgearbeitet werden, da der Datenzugriff
30 den Inhalt dieses Pufferspeichers P1 nicht verändert bzw. zerstört hat, wie dies bei den im Stand der Technik beschriebenen Speichern erfolgt wäre. Somit kann hier auf ein zeitaufwendiges erneutes Anlegen der Adresse und Lesen der Information (hier z.B. Befehl 4) auf die Bitleitungen
35 erfindungsgemäß vermieden werden.

Der Adresskomparator AC selbst oder der Prozessor über den bzw. die Statuspins schaltet gleichzeitig alle Bitleitungen von Puffer P1 auf Puffer P2 und umgekehrt.

5

In einem solchen weiteren Ausführungsbeispiel kann dieser Adresskomparatoroutput also an die Schalter zu den Puffern P1 oder P2 entfallen. Diese Leitung, die die Schaltsignale für die Schaltelemente für den einzelnen Puffer gibt, kann dann direkt mit den Statuspins des oder der Prozessoren, welche die selbe Information wie der Adresskomparator aufweisen, verbunden werden. D. h., diese Leitung wird durch den Prozessor auf einem bestimmten Pegel bei Datenzugriffen gelegt, wodurch diese erkannt werden und eine Umschaltung möglich ist.

10

15

In Figur 3 ist nochmals ein Flussdiagramm zur Darstellung eines erfindungsgemäßen Verfahrens offenbart. In Block 300 erfolgt der Start durch einen Daten- bzw. Befehlszugriff.

20

Im Block 301 wird ausgewertet (durch die oben beschriebenen Methoden), ob es sich um einen Daten- oder Befehlszugriff handelt.

25

In Abfrage 302 wird überprüft, ob ein Daten- oder Befehlszugriff vorliegt.

30

Liegt ein Befehlszugriff, also kein Datenzugriff vor, wird im Block 305 eine Umschaltung bzw. Schaltaufrechterhaltung zum Pufferspeicher P1 vorgenommen und der Burst aus dem Programmablauf durchgeführt. In Block 305 kann auch geprüft werden ob ein erneuter Burst nötig ist oder nicht.

35

In Block 306 werden dann der Befehl bzw. die Befehle ausgelesen und man gelangt zur Abfrage 307.

Wird in Abfrage 302 erkannt, dass es sich um einen
Datenzugriff handelt, gelangt man zu Block 303. Dort wird
zum Pufferspeicher P2 umgeschaltet und das Datum bzw. die
5 Daten in den Pufferspeicher eingelesen.

In Block 304 wird das Datum bzw. die Daten dann ausgelesen.
Danach gelangt man hier auch zur Abfrage 307. Darin wird
abgefragt, ob ein neuer Daten- bzw. Befehlszugriff vorliegt.

10 Ist dies nicht der Fall, ist man zum Ende des Programmlaufs
gelangt, womit das Verfahren in Block 308 beendet wird.

Ist der Programmablauf noch nicht beendet, gelangt man
15 wiederum zu Block 300 zum erneuten Daten- oder
Befehlszugriff.

Je schneller somit das Businterface bzw. die
Busschnittstelle arbeitet, desto wichtiger ist diese
20 erfindungsgemäße Technik, dargestellt durch eine
Speicheranordnung und ein entsprechendes Verfahren des
Datenzugriffs, da die Random-Access-Zeit auf den Speicher,
insbesondere das Flash, also die Zeit zwischen dem
Aktivieren der Wortleitung und einlesen der Daten bzw.
25 Befehle in den Zwischenpuffer bei nicht aufeinanderfolgenden
Zugriffen als relativ gleichbleibende Größe feststeht und
somit ein hoher Zeitvorteil durch die erfindungsgemäße
Speicheranordnung und das erfindungsgemäße Verfahren erzielt
werden kann.

16.02.01 Sy/Bc

5

ROBERT BOSCH GMBH, 70442 Stuttgart

10

Ansprüche

15

1. Speicheranordnung mit einem programmierbaren Speicher und einem diesem Speicher zugeordneten ersten Pufferspeicher, in welchen bei Befehlszugriff wenigstens ein auf den zugegriffenen Befehl folgender Befehl eingeschrieben wird, dadurch gekennzeichnet, dass ein zweiter Pufferspeicher vorgesehen ist, in welchen bei einem Datenzugriff wenigstens ein auf das zugegriffene Datum folgendes Datum eingeschrieben wird.

20

2. Speicheranordnung nach Anspruch 1, dadurch gekennzeichnet, dass der programmierbare Speicher als Burst-Flash-Speicher ausgebildet ist.

25

3. Speicheranordnung nach Anspruch 1, dadurch gekennzeichnet, dass der zweite Pufferspeicher nur und ausschließlich bei Datenzugriffen geladen wird.

30

4. Speicheranordnung nach Anspruch 1, dadurch gekennzeichnet, dass bei einem Auslesen des wenigstens einen Datums aus dem zweiten Pufferspeicher der Inhalt des ersten Pufferspeichers nicht verändert wird.

35

5. Verfahren zum Auslesen einer Speicheranordnung, wobei Befehlszugriffe und Datenzugriffe, insbesondere im Rahmen

eines Programmablaufes, durchgeführt werden, dadurch gekennzeichnet, dass bei einem Befehlszugriff erkannt wird, dass ein Befehlszugriff vorliegt und bei einem Datenzugriff erkannt wird, dass ein Datenzugriff vorliegt und davon ausgehend ein auf den zugegriffenen Befehl folgender Befehl in einen ersten Pufferspeicher und ein auf das zugegriffene Datum folgendes Datum in einen zweiten Pufferspeicher eingeschrieben wird.

- 5
- 10
- 15
- 20
6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, dass, je nachdem, ob ein Befehlszugriff oder ein Datenzugriff erfolgt, zwischen dem ersten und zweiten Pufferspeicher umgeschaltet wird.
 7. Verfahren nach Anspruch 5, dadurch gekennzeichnet, dass zur Umschaltung ein Adressvergleicher verwendet wird, der erkennt, ob auf Befehle oder Daten zugegriffen wird.
 8. Verfahren nach Anspruch 5, dadurch gekennzeichnet, dass die Umschaltung durch Signale eines Prozessors erfolgt, welche anzeigen, ob ein Befehlszugriff oder ein Datenzugriff erfolgt.

16.02.01 Sy/Bc

5

ROBERT BOSCH GMBH, 70442 Stuttgart

10

Speicheranordnung und Verfahren zum Auslesen einer
Speicheranordnung

Zusammenfassung

15

Verfahren zum Auslesen einer Speicheranordnung und
Speicheranordnung mit einem programmierbaren Speicher und
einem diesem Speicher zugeordneten ersten Pufferspeicher, in
welchen bei Befehlszugriff wenigstens ein auf den
zugegriffenen Befehl folgender Befehl eingeschrieben wird,
20 wobei ein zweiter Pufferspeicher vorgesehen ist, in welchen
bei einem Datenzugriff wenigstens ein auf das zugegriffene
Datum folgendes Datum eingeschrieben wird.

(Figur 2)

1/3

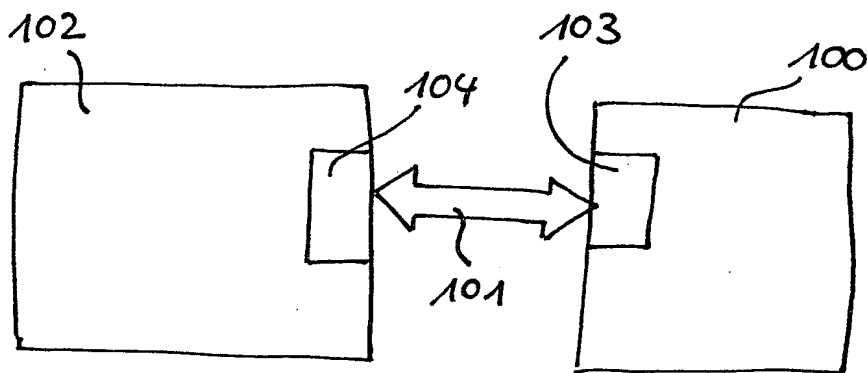


Fig. 1

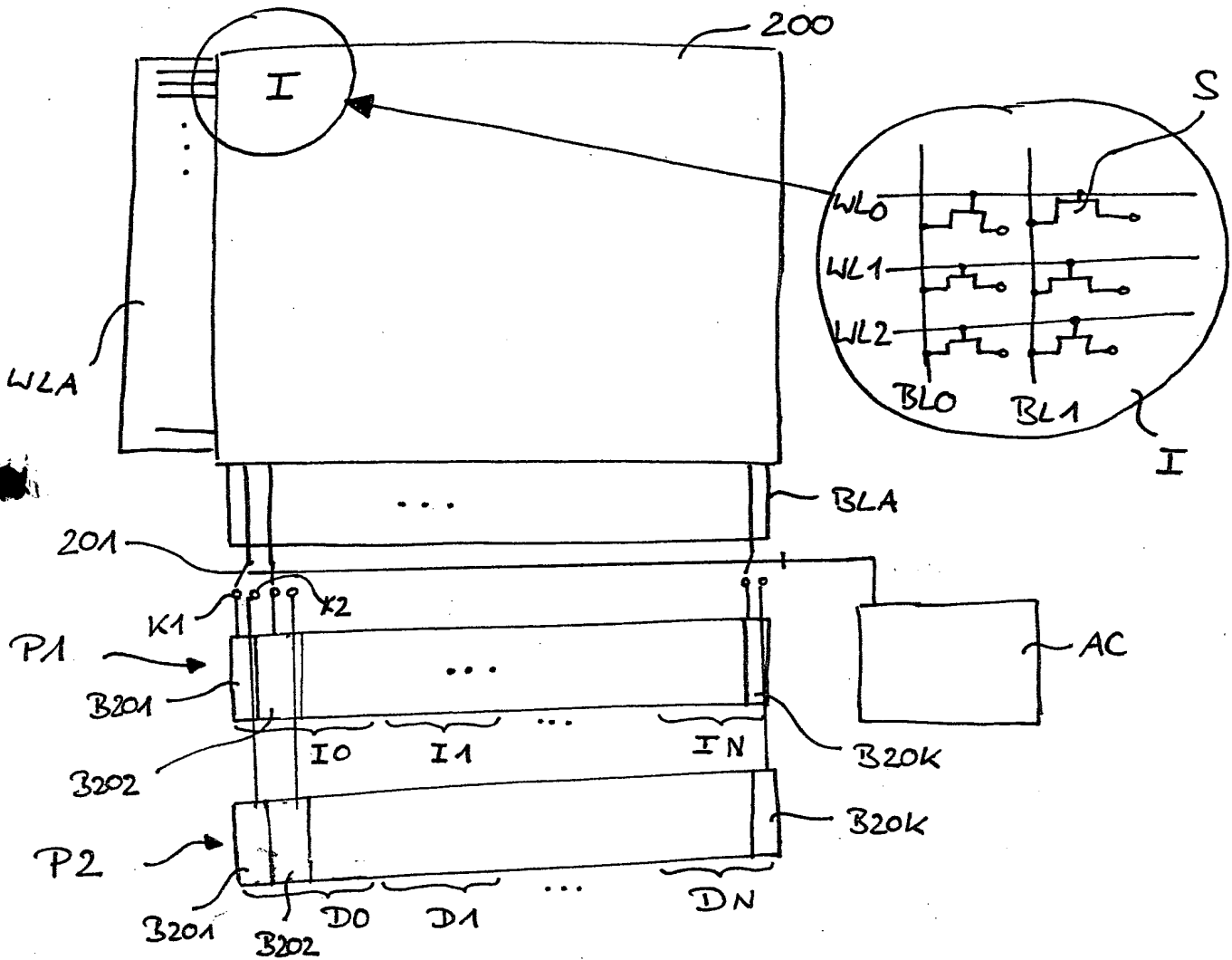


Fig. 2

3/3

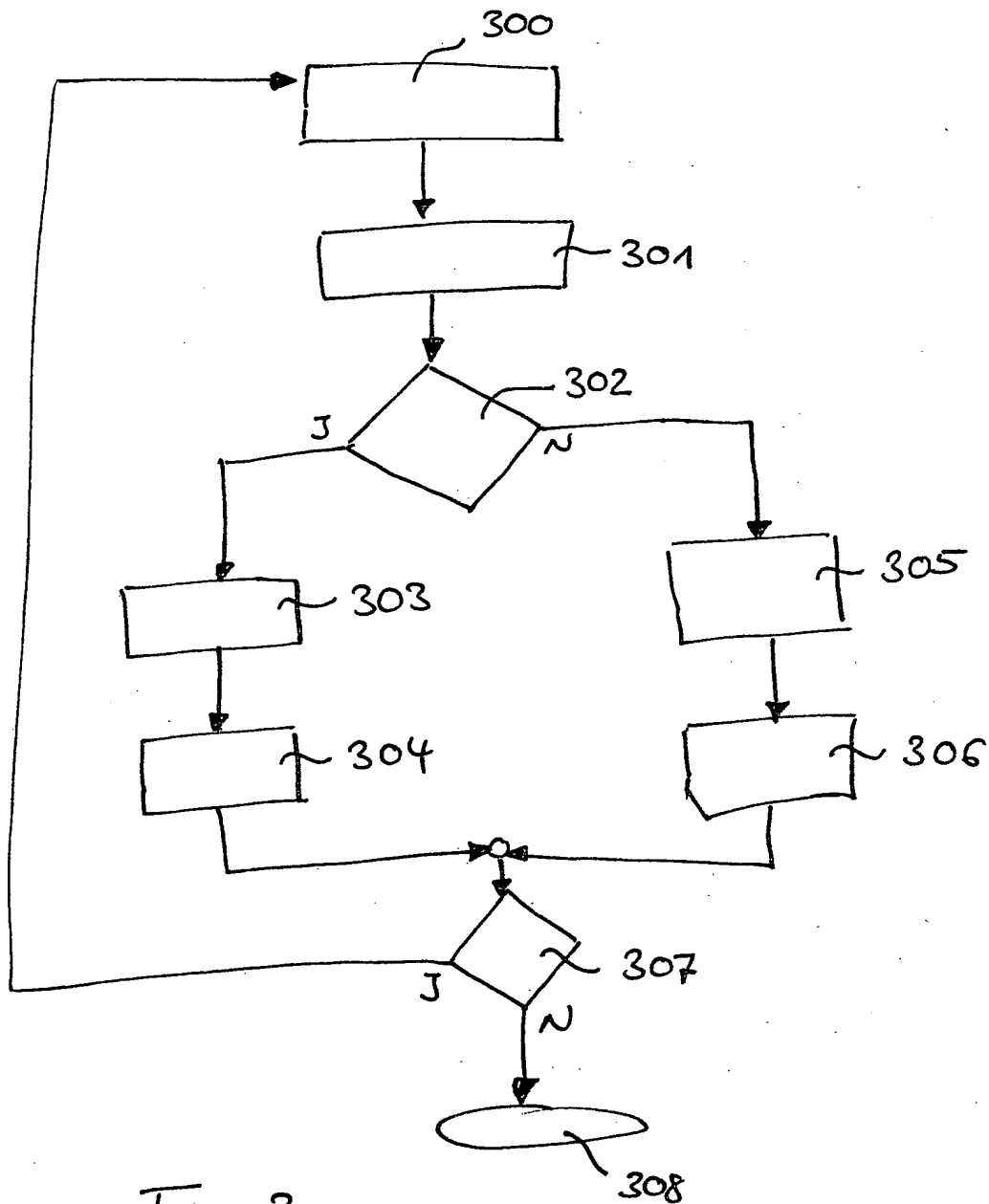


Fig. 3